

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/006121

International filing date: 30 March 2005 (30.03.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-108484
Filing date: 31 March 2004 (31.03.2004)

Date of receipt at the International Bureau: 20 May 2005 (20.05.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 4 年 3 月 3 1 日

出 願 番 号
Application Number: 特 願 2 0 0 4 - 1 0 8 4 8 4

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号
J P 2 0 0 4 - 1 0 8 4 8 4
The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

出 願 人
Applicant(s): 財団法人北九州産業学術推進機構

2 0 0 5 年 4 月 2 7 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】	特許願
【整理番号】	JP040023
【あて先】	特許庁長官殿
【国際特許分類】	G11C 14/00 H01L 27/10 H01L 27/115
【発明者】	
【住所又は居所】	福岡県福岡市南区井尻3丁目20番3-1005号
【氏名】	中村 和之
【特許出願人】	
【識別番号】	802000031
【氏名又は名称】	財団法人北九州産業学術推進機構
【代理人】	
【識別番号】	100121371
【弁理士】	
【氏名又は名称】	石田 和人
【電話番号】	093-695-3113
【手数料の表示】	
【予納台帳番号】	222495
【納付金額】	21,000円
【提出物件の目録】	
【物件名】	特許請求の範囲 1
【物件名】	明細書 1
【物件名】	図面 1
【物件名】	要約書 1

【書類名】 特許請求の範囲

【請求項 1】

同様な特性をもつ第 1 及び第 2 の M I S F E T 型トランジスタを有し、

そのソース端子とゲート端子を、それぞれ共通接続して、共通ソース端子と共通ゲート端子とし、

前記共通ソース端子を接地電位に接続し、

ある特定の期間、前記第 1 の M I S F E T 型トランジスタのドレイン端子に電圧を印加し、共通ゲート端子の電圧を、電源電位あるいは接地電位以外の電圧値に制御することにより、前記第 1 の M I S F E T 型トランジスタの導通状態を制御して、その導通抵抗値の経時劣化を誘起し、

これにより生じた、前記第 1 及び第 2 の M I S F E T 型トランジスタの性能差を、2 つの M I S F E T 型トランジスタを同時に導通させて、その電流差で読み出すことにより、「0」の記憶とその読み出しを、またそれとは逆に、前記第 2 の M I S F E T 型トランジスタ側の性能を、前記第 1 の M I S F E T 型トランジスタよりも劣化させることにより「1」記憶を行うことを特徴とする半導体不揮発記憶回路であって、

前記第 1 及び第 2 の M I S F E T 型トランジスタのドレインに接続される第 3 及び第 4 の M I S F E T 型トランジスタを有し、

読み出し及び書き込み動作以外の期間においては、前記第 3 及び第 4 の M I S F E T 型トランジスタを遮断状態に制御することで、前記第 1 及び第 2 の M I S F E T 型トランジスタのドレイン端子を開放状態とすること
を特徴とする半導体不揮発記憶回路。

【請求項 2】

第 5、第 6 の M I S F E T 型トランジスタを有し、

そのドレイン端子とソース端子を、それぞれ前記第 1、第 2 の C M I S F E T 型トランジスタのドレイン端子とソース端子に接続し、

読み出し及び書き込み動作以外の期間においては、前記第 5、第 6 の M I S F E T 型トランジスタを導通状態に制御することで、前記第 1、第 2 の M I S F E T 型トランジスタのドレイン端子をソース端子と同電位とすること
を特徴とする請求項 1 記載の半導体不揮発記憶回路。

【書類名】 明細書

【発明の名称】 半導体不揮発記憶回路

【技術分野】

【0001】

本発明は、電源電圧を印可しなくても安定に記憶データを保持することが可能な半導体不揮発記憶回路に関するものである。

【背景技術】

【0002】

現在実用化あるいは開発中の不揮発記憶回路としては、フローティングゲート構造を用いたフラッシュEEPROMや、強誘電体膜を用いるFeRAM、強磁性体膜を用いるMRAM等がある。これらのメモリでは、特別なトランジスタ構造や、特殊な材料を用いることにより、電源を遮断しても情報の保持を連続できる不揮発記憶を実現している。しかし、特許文献1及び特許文献2に記載の技術によれば、特別なトランジスタ構造や、特殊な材料を用いることなしに、標準的なCMOS製造工程においても不揮発記憶回路が実現できる。

【0003】

図7に、特許文献1に示された不揮発記憶回路の構成図を示す。トランジスタを2個ずつ組にして動作させ、2つのトランジスタのうち、例えば、第1のトランジスタ(MNM1)の閾値電圧： $V_t(MNM1)$ が第2のトランジスタ(MNM2)の閾値電圧： $V_t(MNM2)$ よりも高い状態を、情報の「0」記憶状態、その逆の状態を「1」記憶状態とする。

【0004】

図8に情報書き込みのためのタイミング図を示す。まず、ワード選択信号WLを電源電圧(VDD)の半分程度の2.5Vとし、ビット線(BL)の電圧を電源電圧と同じ5V(VDD)、ビット線の差動ペアであるBL-側を0V(GND)とした状態を一定期間保つ。これにより、MNM1のみを飽和領域で動作させ、ホット・キャリアを発生させることで素子劣化を誘引する。そして、MNM1の閾値電圧を高い方(V_{t1})へシフトさせる。シフトさせる閾値電圧の電圧量は、読み出し回路の能力によって判別可能なレベル以上とすればよい。

【0005】

次に、このメモリセルに「1」を書き込みたい場合は、図9に示すように、今度は、MNM2の閾値電圧をMNM1のそれよりも上昇させる。このような構造にすることで、EEPROMのような情報の消去はできなくても、情報の「0」と「1」を、限られた回数ではあるが、情報を書き換えることが可能となる。

【0006】

情報の読み出しは、図10に示すように、まずビット線(BL)の電圧を予め電源電圧(VDD)に充電しておき、ワード選択信号WLを電源電圧(VDD)とし、2つのトランジスタを同時に導通させることで、ビット線対(BL, BL-)間の電圧差として読み出す。

【0007】

図11に、特許文献1に示された図7の回路を配列状に並べて、実際にメモリとして使用する場合の構成図を示す。図11では、4ビット分の情報を格納できる。ワード選択線(WL0, WL1)と、ビット線対(BL0、BL0-、BL1、BL1-)は、それぞれ、横方向、縦方向のメモリセルと共用化されている。共通線(COMM0, COMM1)については、2次元配列されたすべてのセル間で共用することも可能である。

【特許文献1】 特願2002-367648号明細書

【特許文献2】 国際出願PCT/JP03/16143号明細書

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかるに、図 1 1 の構成により複数ビットを有する不揮発記憶回路を構成する場合、例えば、ワード選択線：WL 0 により、MN 0 0 1、MN 0 0 2 と、MN 1 0 1、MN 1 0 2 で構成される 2 つのメモリセルが選択され、書き込み、または読み出し動作が行われる場合、ビット線対：BL 0、BL 0- は、MN 0 1 1、MN 0 1 2 で構成されるメモリセルとも共通接続されているために、ワード選択線：WL 1 が、非選択状態にあっても、例えば、MN 0 1 1、MN 0 1 2 のどちらかのトランジスタのドレイン端子には、電圧が印加されることになる。この状態を長く維持した場合、本来非選択状態にあるべき、MN 0 1 1 と MN 0 1 2 で構成されるメモリセルも、トランジスタが長時間ストレス状態に置かれる。そのため、擬似的な書き込み状態となり、本来記憶しておくべき情報を失う恐れがあるという問題点があった。

【0009】

そこで、本発明の目的は、CMOS 型プロセス互換で、安定に不揮発記憶機能を有する回路を実現するという点にある。

【課題を解決するための手段】

【0010】

本発明における、第 1 の発明は、同様な特性をもつ第 1 と第 2 の MISFET 型トランジスタを有し、そのソース端子とゲート端子を、それぞれ共通接続して、共通ソース端子と共通ゲート端子とし、前記共通ソース端子を接地電位に接続し、ある特定の期間、第 1 の MISFET 型トランジスタのドレイン端子に電圧を印加し、共通ゲート端子の電圧を、電源電位あるいは接地電位以外の電圧値に制御することにより、第 1 の MISFET 型トランジスタの導通状態を制御して、その導通抵抗値の経時劣化を誘起し、これにより生じた、第 1 と第 2 の MISFET 型トランジスタの性能差を、2 つの MISFET 型トランジスタを同時に導通させて、その電流差で読み出すことにより、「0」の記憶とその読み出しを、またそれとは逆に、第 2 の MISFET 型トランジスタ側の性能を、第 1 の MISFET 型トランジスタよりも劣化させることにより「1」記憶を行うことを特徴とする半導体不揮発記憶回路であって、さらに、第 1 と第 2 の MISFET 型トランジスタのドレインに接続される第 3 と第 4 の MISFET 型トランジスタを有し、それにより、読み出し及び書き込み動作以外の期間においては、第 3、第 4 の MISFET 型トランジスタを遮断状態に制御することで、第 1、第 2 の MISFET 型トランジスタのドレイン端子を開放状態とすることを特徴とした半導体不揮発記憶回路である。

【0011】

本発明における、第 2 の発明は、第 1 の発明の半導体不揮発記憶回路において、さらに第 5、第 6 の MISFET 型トランジスタを有し、そのドレイン端子とソース端子を、それぞれ第 1、第 2 の CMISFET 型トランジスタのドレイン端子とソース端子に接続し、読み出し及び書き込み動作以外の期間においては、第 5、第 6 の MISFET 型トランジスタを導通状態に制御することで、第 1、第 2 の MISFET 型トランジスタのドレイン端子をソース端子と同電位とすることを特徴とした半導体不揮発記憶回路である。

【発明の効果】

【0012】

上記本発明の構成によって、CMOS 型プロセスに追加の工程や、新材料の導入なしに、安定に不揮発記憶を実現し、低コスト化や、開発期間の短縮を図ることができる。

【発明を実施するための最良の形態】

【0013】

以下、本発明を実施するための最良の形態について、図面を参照しながら説明する。

【実施例 1】

【0014】

図 1 に、この問題点を回避するための本発明の第 1 の発明に対応する、一実施例を示す。

【0015】

図 7 で示した従来の情報記憶単位の構成に、さらに MNM3 と MNM4 の 2 つのラン

ジスタを追加する。MNM3とMNM4のゲート電圧：WLSは、書き込み時には図2、読み出し時には図3のタイミング図に示すように、ワード選択信号：WLと同期させたタイミングで、制御を行う。このような制御を行うことで、ワード選択信号：WLがグランドレベルの時すなわち、メモリセルが非選択時には、不揮発情報を記憶しているMNM1とMNM2のトランジスタのドレイン端子を開放（フローティング状態）とすることを可能としている。

【0016】

このとき、MNM3、MNM4のトランジスタは、MNM1、MNM2に比べて、ホット・キャリア発生等の素子劣化を起こしにくい構造のトランジスタ構造や、レイアウト構成とすることにより、MNM3、MNM4にも情報が書き込まれてしまうことを回避することが可能である。

【0017】

例えば、MNM3、MNM4のゲート幅を、MNM1、MNM2のゲート幅よりも大きくすることで、MNM3や、MNM4に発生するホット・キャリアの量を、MNM1、MNM2に対して小さくすることができる。

【0018】

図4に、第1の発明により構成されるメモリセルを、配列状に並べて、実際にメモリとして使用する場合の構成図を示す。図4では、4ビット分の情報を格納できる。ワード選択線（WL0、WL1）、ワード選択スイッチ線（WLS0、WLS1）と、ビット線対（BL0、BL0-、BL1、BL1-）は、それぞれ、横方向、縦方向のメモリセルと共有化されている。共通線（COMM0、COMM1）については、2次元配列されたすべてのセル間で共用することも可能である。

【0019】

図4の回路では、WL0に接続されたメモリセルに情報の書き込みや読み出しを行う場合には、WL1に接続されたメモリセルは、WLS1をグランドレベルとすることで、ビット線対：BL0、BL0-、及び、BL1、BL1-から、電気的に完全に切断することができる。そのため、WL1に接続されるメモリセルが擬似的な書き込み状態になることを防ぐことができる。

【0020】

図5に、第2の発明に対応する、1実施例を示す。図1に示した構成に対して、さらに、MNM5、MNM6の2つのトランジスタが追加されている。このMNM5、MNM6のゲート電圧を制御するWLS-には、MNM3、およびMNM4を制御するWLSの反転信号を入力する。

【0021】

このような構成とすることで、メモリセルが非選択時には、不揮発情報を記憶しているMNM1とMNM2のトランジスタのドレイン端子をソース端子と同一レベルとすることができるために、MNM1、MNM2には、ドレイン電流が流れる恐れが全くない。これにより、より完全に、非選択時の擬似書き込みを防止することができる。

【0022】

図6に、本発明の第2の発明に相当する1実施例を示す。図6の回路は、特許文献1の特許明細書内の図10に示された回路に、本発明を適用したのようになっており、図6において、MNM3、MNM4が、接続スイッチを構成するものとして、本発明により新たに追加された部分になる。

【0023】

図1の回路では、書き込み回数に制限が存在するために、図6の回路では、情報の記憶単位に、SRAMメモリセルからなる揮発メモリ部と、図1のような本第1の発明の回路を同時に設け、さらに、揮発メモリ部を介して、必要に応じて、不揮発記憶回路部への情報の読み書きを行うように構成した回路になっている。

【0024】

図6の回路の基本的な動作については、特許文献1内に詳述されているが、本発明によ

り追加された2つのトランジスタ：MNM3、MNM4は、この不揮発揮発記憶部から、揮発記憶部への接続スイッチの役割を担っており、そのゲート信号：WLWSは、WLWと同期して、図1の回路と同様に印可される。

【0025】

このような構造にすることで、通常の読み書き動作は、揮発メモリ部において行い、例えば電源遮断前等のタイミングで、不揮発部でデータを書き込むことで、限られた不揮発記憶回路部の書き込み回数の制限の影響を低減することが可能となる。揮発記憶部の動作時に、不揮発記憶をおこなっているMNM1、MNM2の2つのトランジスタに電圧ストレスが加わることがなく、安定に、不揮発記憶情報を保持できる。また、電源印可時においては、揮発メモリ回路部が、読み書き要求に応答することになるために、読み出しや書き込み速度に優れる揮発メモリと組み合わせることで、通常動作時の性能を高く見せることができる。

【0026】

また、本発明の本実施例では、素子特性の変動をホット・キャリアによる閾値変動を例にして説明したが、これは、トランジスタがドレイン電流を流し続けることによって、その特性の経年変化を起こすような要因であれば、いずれの現象でもよい。また、本発明の説明では、第1のトランジスタの閾値電圧が高い状態を「0」記憶、第2のトランジスタの閾値電圧が高い状態を「1」記憶、としていたが、これを逆に定義してもかまわない。さらに、本発明の説明では、情報記憶にn型MISFETを用いて説明を行ったが、p型MISFETを用いて、ホットホール等による素子劣化現象を利用しても、同様な効果が得えられる。

【0027】

以上のように、本発明によれば、CMOS型プロセスに追加の工程や、新材料の導入なしに、安定な不揮発記憶を実現し、低コスト化や、開発期間の短縮が図ることが可能となる。

【図面の簡単な説明】

【0028】

【図1】本発明のメモリセルの基本回路を示す説明図である。

【図2】本発明の基本回路において、書き込み動作のタイミングチャートを示す説明図である。

【図3】本発明の基本回路において、読み出し動作のタイミングチャートを示す説明図である。

【図4】本発明の基本回路を複数個配列した記憶回路を示す説明図である。

【図5】本発明のメモリセルの基本回路を示す説明図である。

【図6】本発明のSRAM融合型基本回路において、その基本構成を示す説明図である。

【図7】従来のCMIS互換の不揮発記憶の基本回路を示す説明図である。

【図8】従来のCMIS互換の不揮発書き込み動作のタイミングを示す説明図である。

【図9】従来のCMIS互換の上書き書き込み動作の原理を示す説明図である。

【図10】従来のCMIS互換の読み出し動作のタイミングを示す説明図である。

【図11】従来のCMIS互換の不揮発記憶の基本回路を複数個配列した記憶回路を示す説明図である。

【図12】従来のCMIS互換のSRAM融合型基本回路において、その基本構成を示す説明図である。

【符号の説明】

【0029】

WL, WL1, WL2 ワード選択線

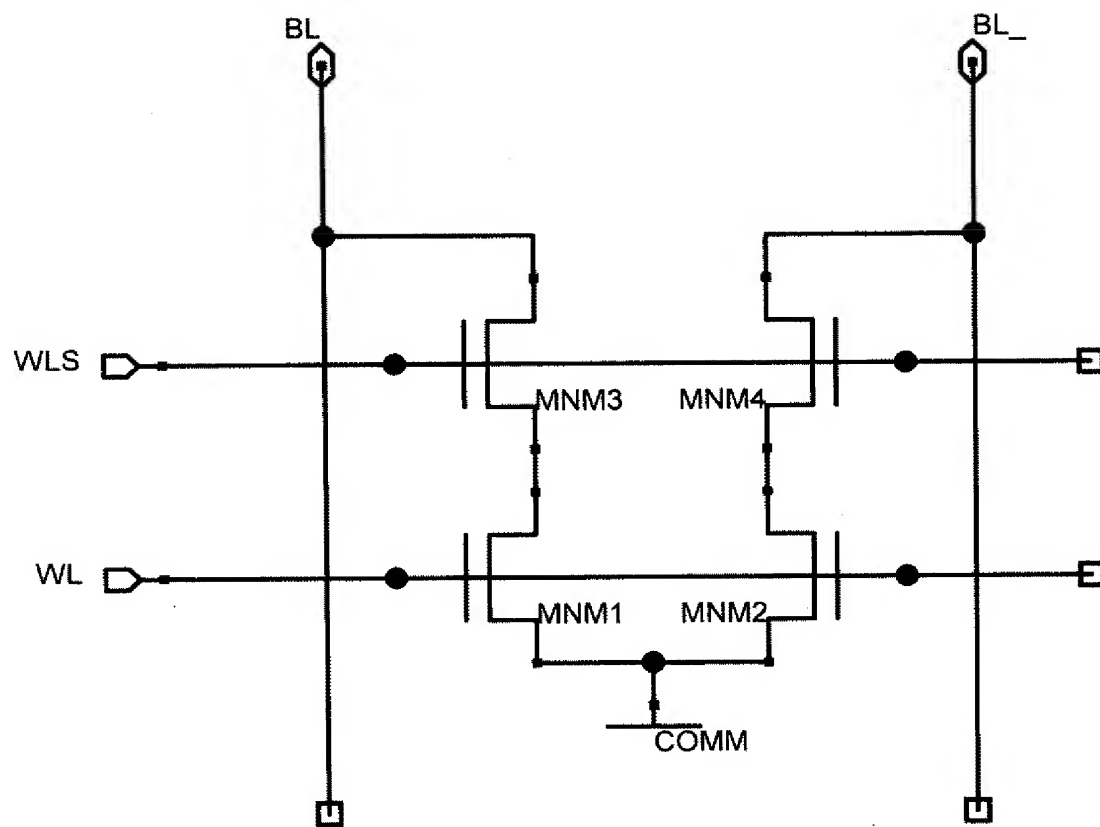
WLS, WLS1, WLS2 ワード選択スイッチ線

WLS— 反転ワード選択スイッチ線

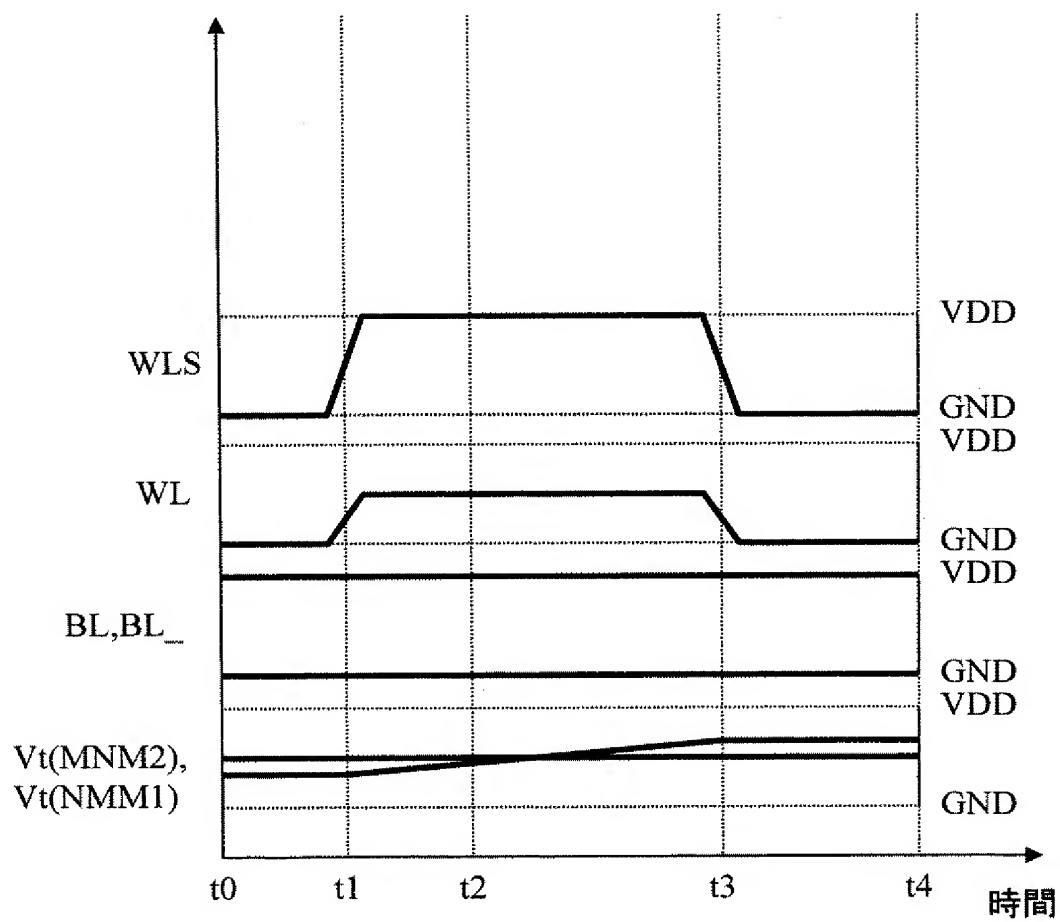
W L W 不揮発ワード選択信号
R E S T O R E 不揮発データ復帰信号
E Q — イコライズ信号
C , C — メモリセル内の差動ノード信号
M N T 1 , M N T 2 , M N 1 , N N 2 , M N R S n 型 M I S ト ラ ン ジ ス タ
M P 1 , M P 2 , M P E Q p 型 M I S ト ラ ン ジ ス タ
t 0 , t 1 , t 2 , t 3 , t 4 , t 5 時刻
B L , B L — , B L 1 , B L 1 — , B L 2 , B L 2 — , B L 3 , B L 3 — ビット線
C O M M , C O M M 1 , C O M M 2 共通線
M N 0 0 1 , M N 0 0 2 , M N 0 1 1 , M N 0 1 2 , M N 1 0 1 , M N 1 0 2 , M N 1
1 1 , M N 1 1 2 , M N M 1 , M N M 2 不揮発データ記憶用の n 型 M I S ト ラ ン ジ ス タ
M N 0 0 3 , M N 0 0 4 , M N 0 1 3 , M N 0 1 4 , M N 1 0 3 , M N 1 0 4 , M N 1
1 3 , M N 1 1 4 , M N M 3 , M N M 4 切断スイッチ用 n 型 M I S ト ラ ン ジ ス タ
M N M 5 , M N M 6 ソース・ドレイン間短絡用 n 型 M I S ト ラ ン ジ ス タ
V D D 電源端子
G N D グランド端子
V t (M N M 1) M I S ト ラ ン ジ ス タ M N M 1
V t (M N M 2) M N M 2 の 閾 値 電 圧
V t 0 , V t 1 , V t 2 , V t 3 , V t 4 , V t 5 不揮発記憶を行う n M I S ト ラ ン
ジ ス タ の 閾 値 電 圧

【書類名】 図面

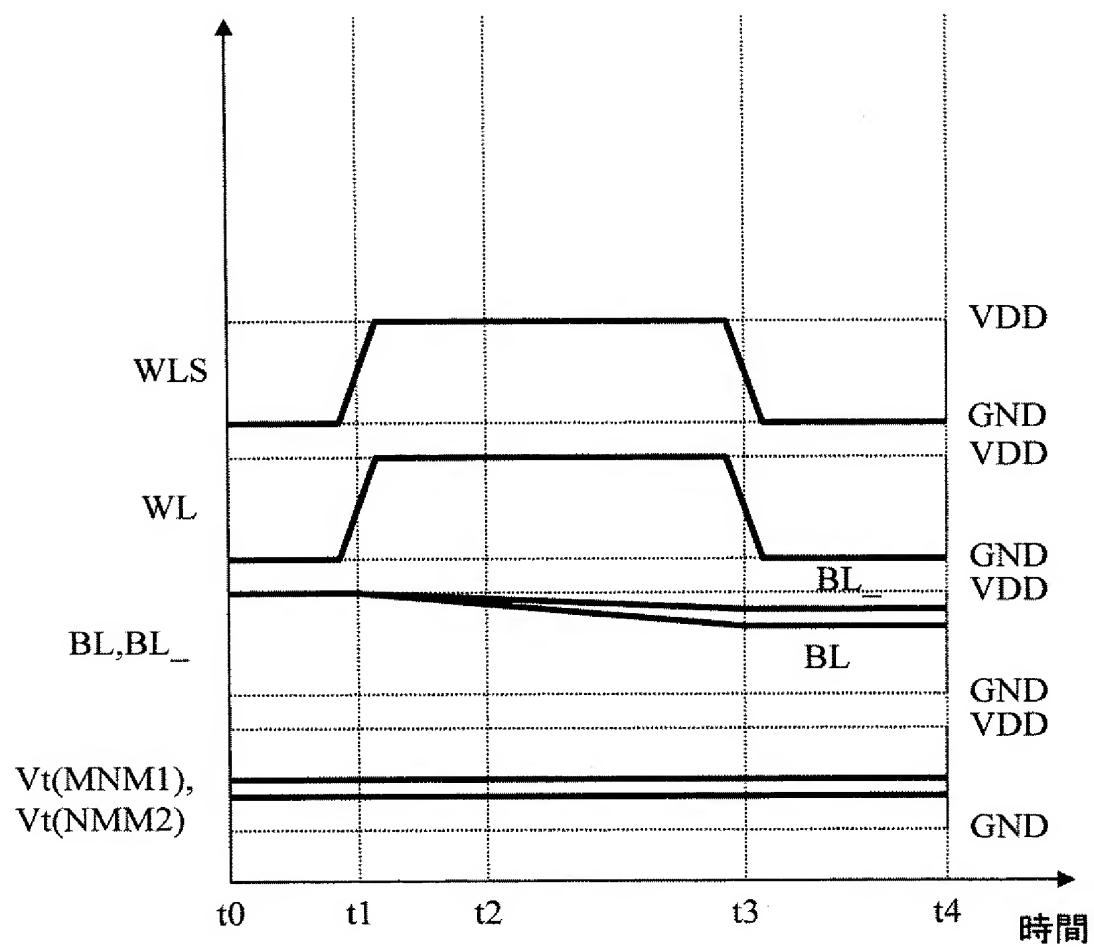
【図 1】

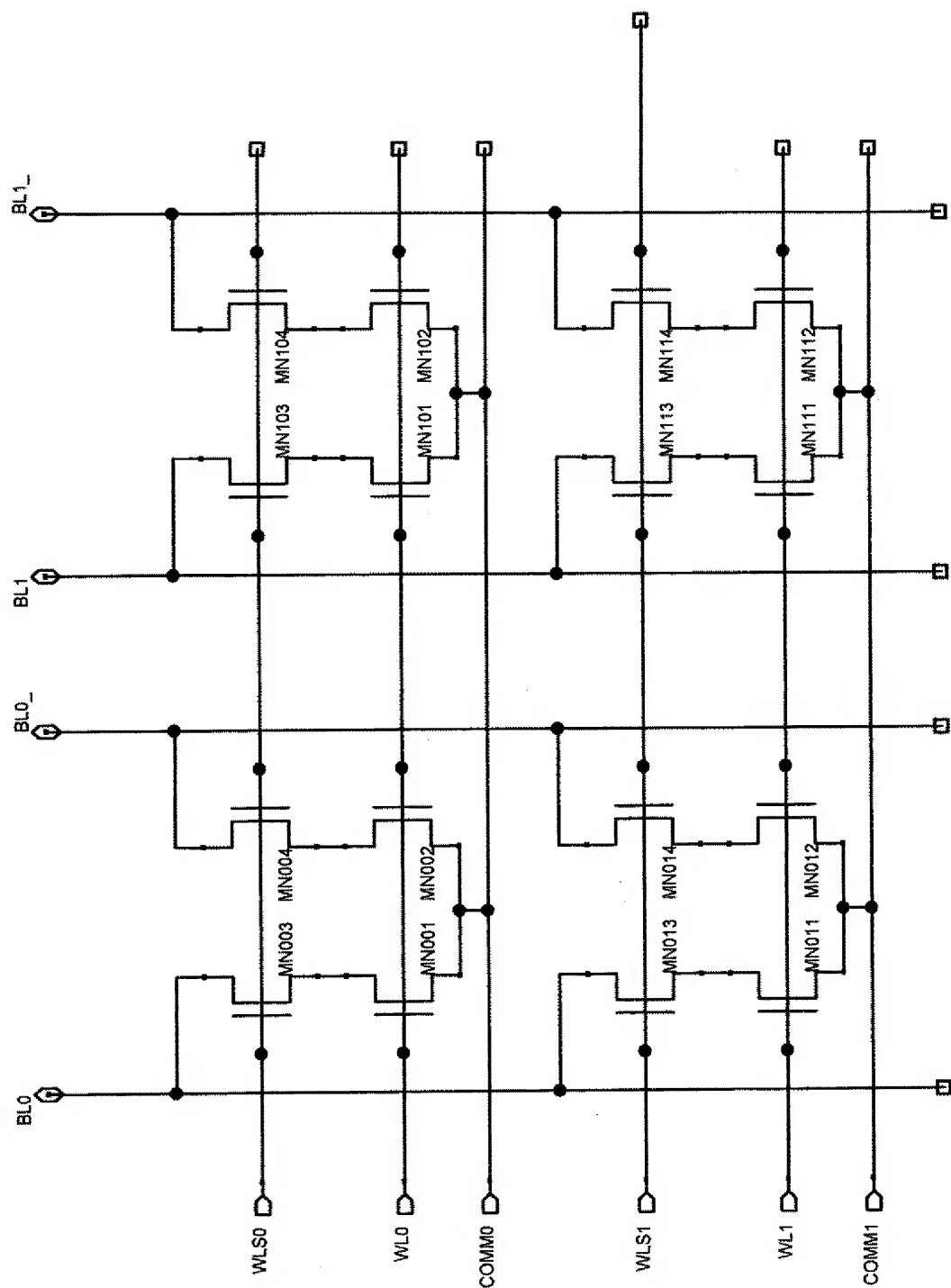


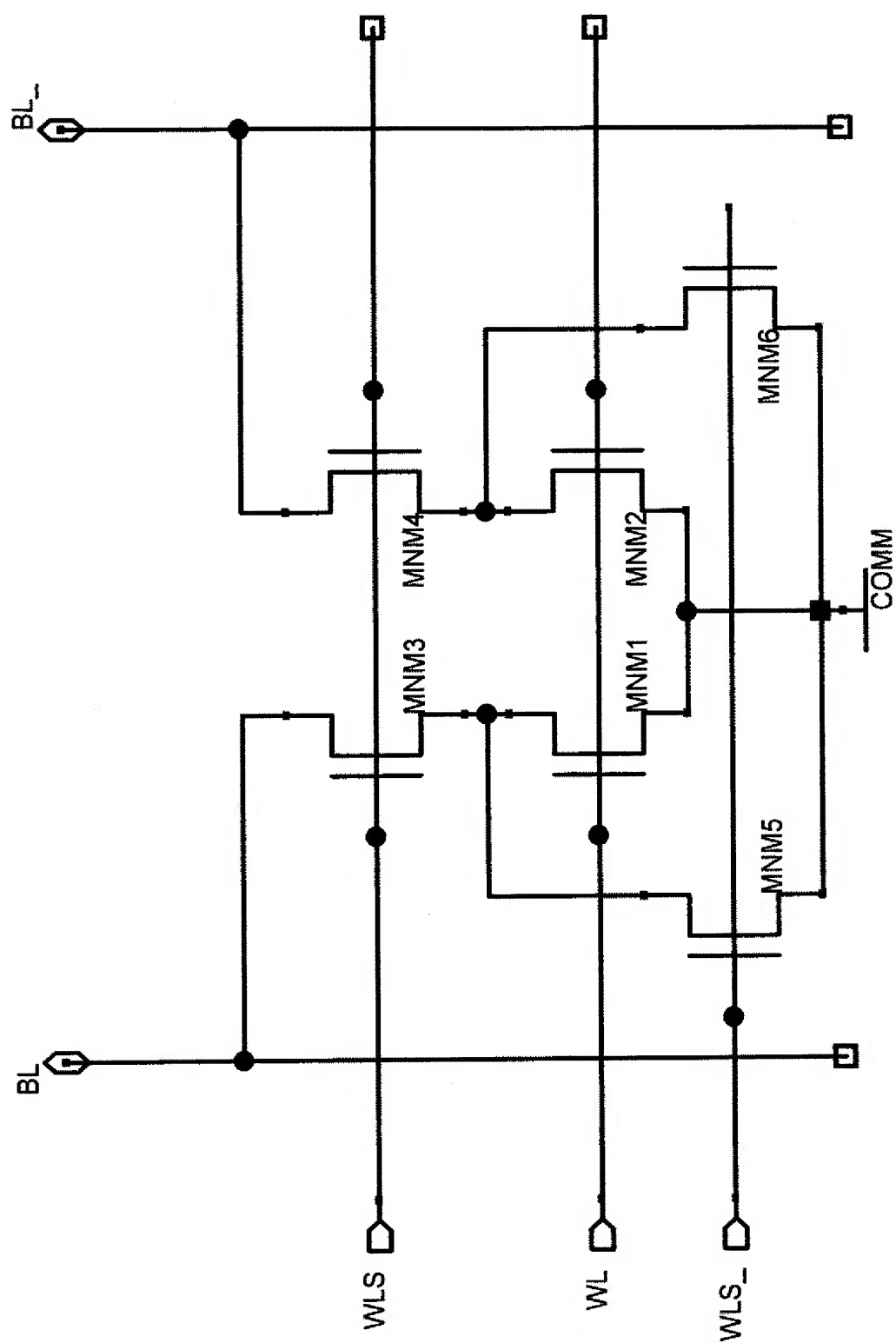
【図 2】

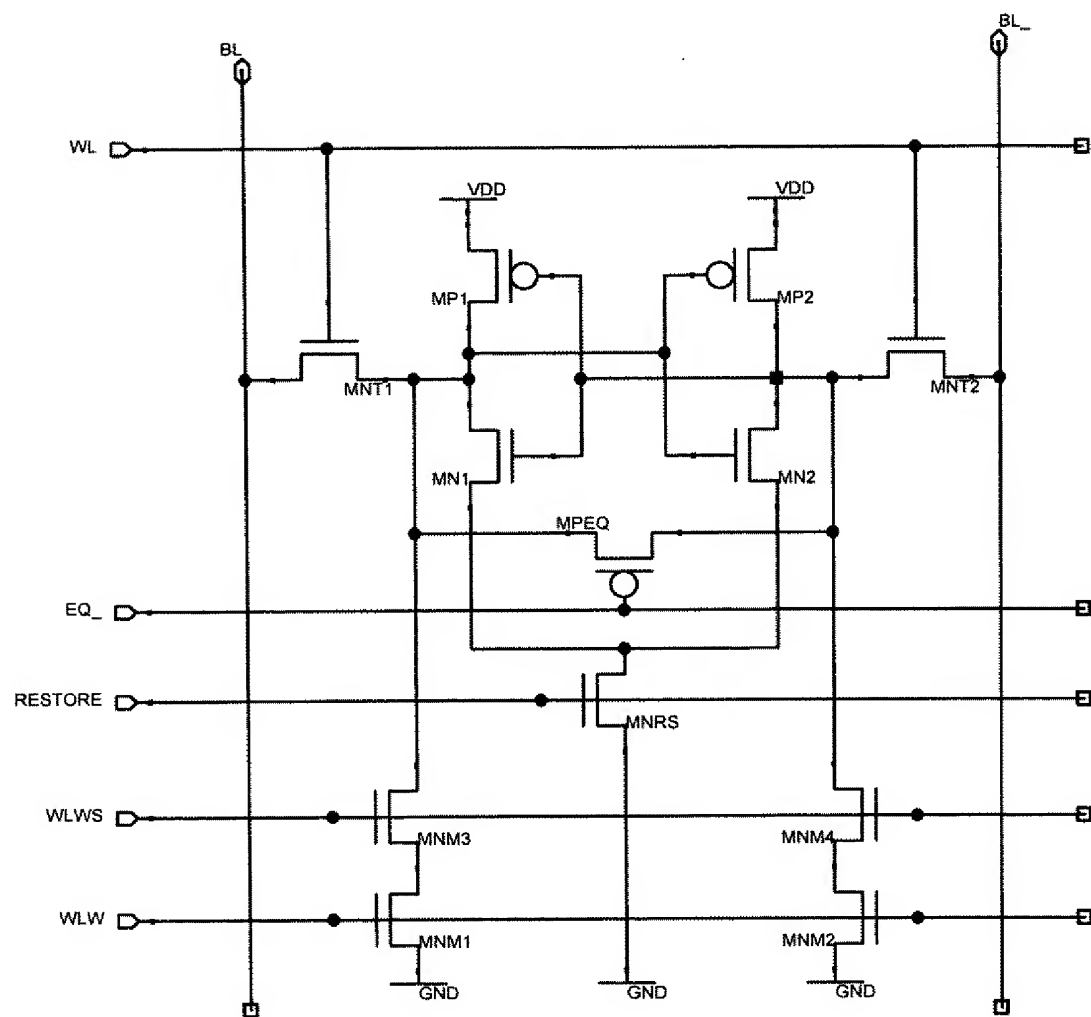


【図 3】

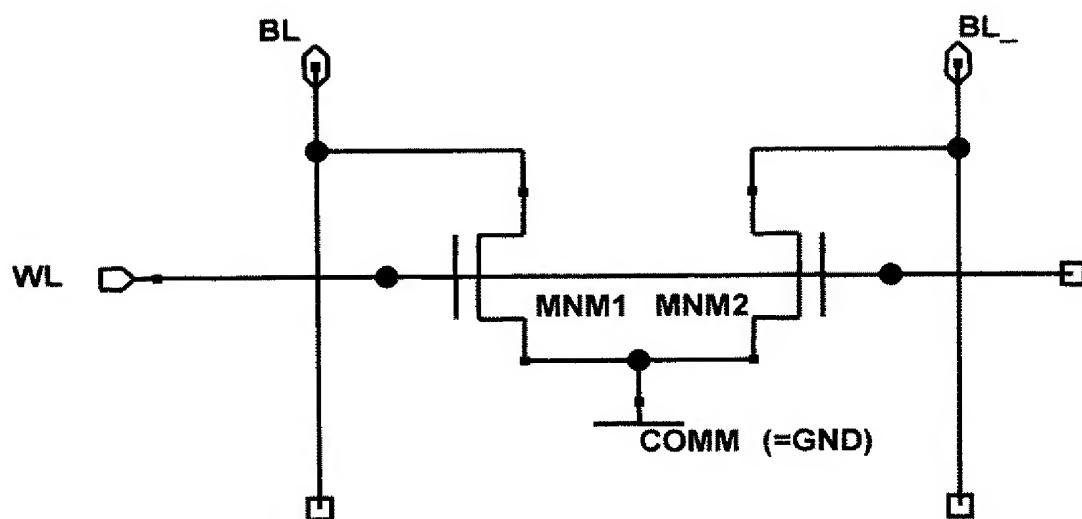




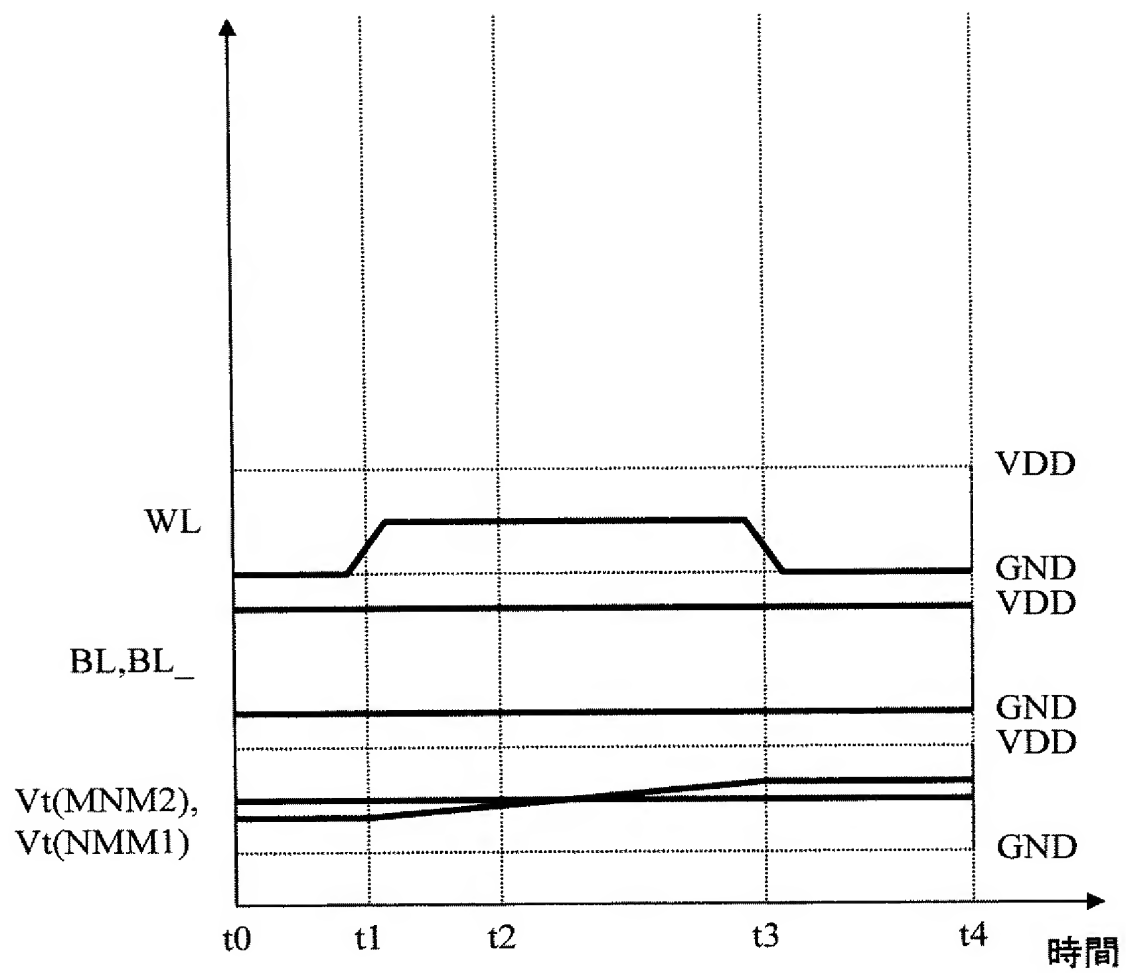


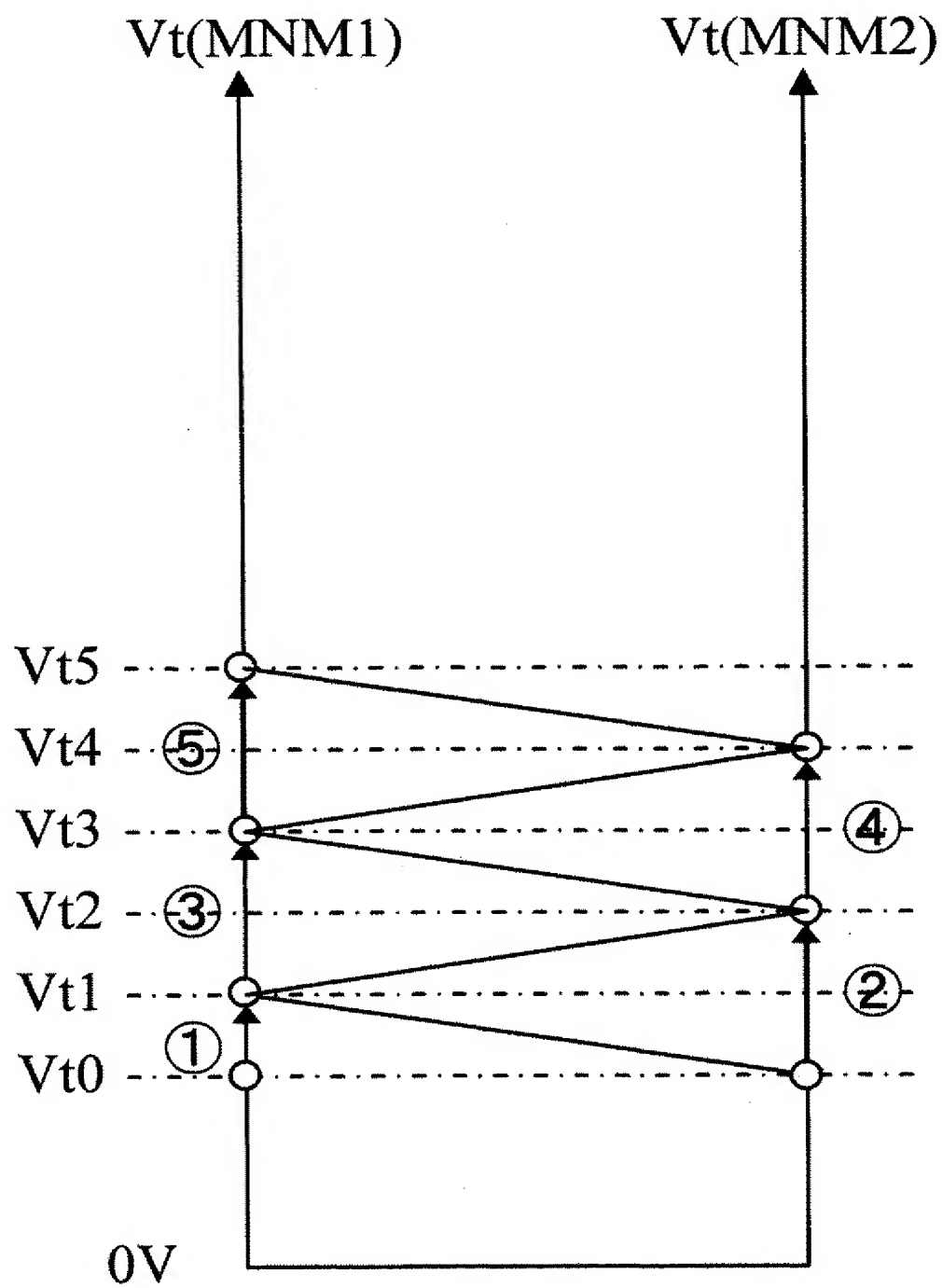


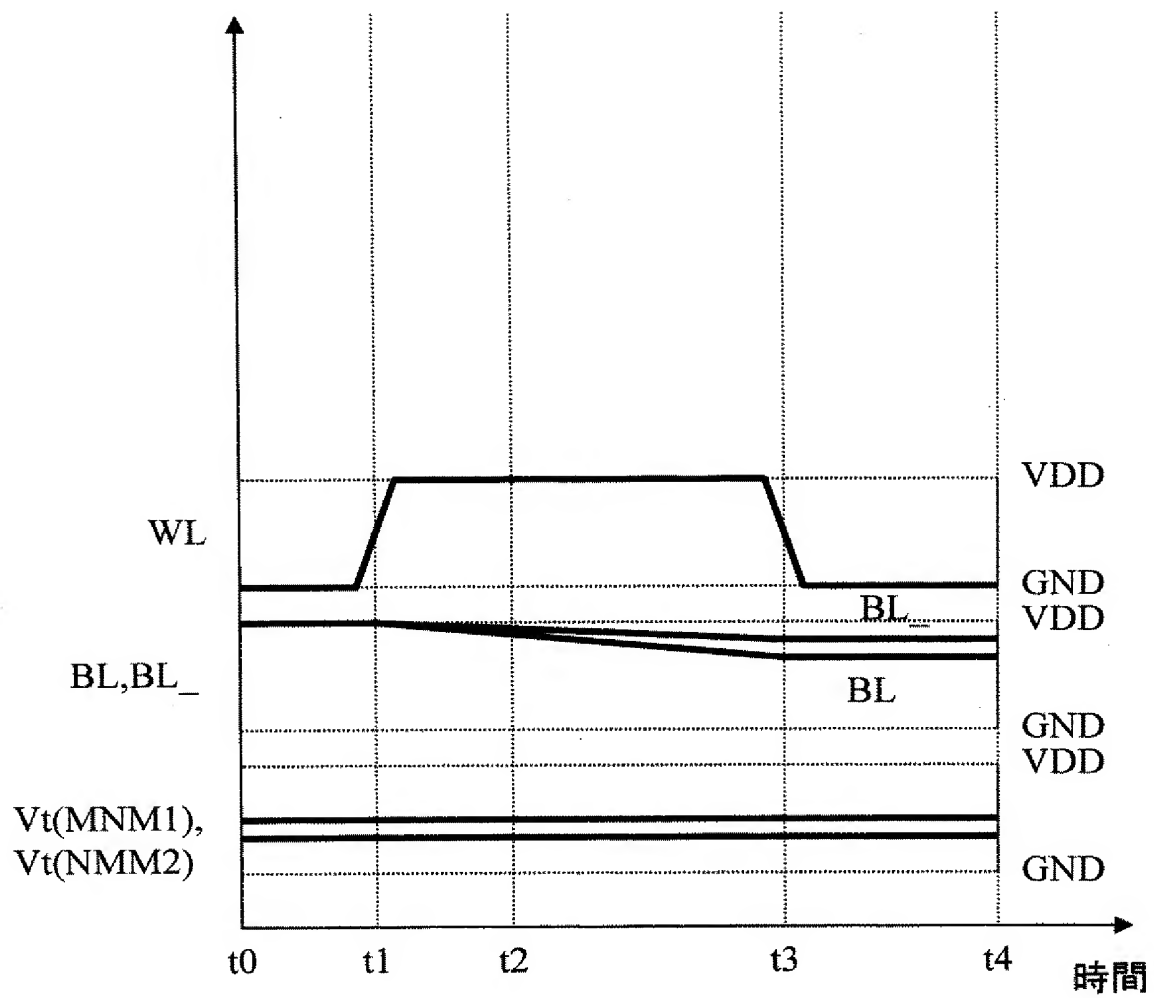
【 図 7 】

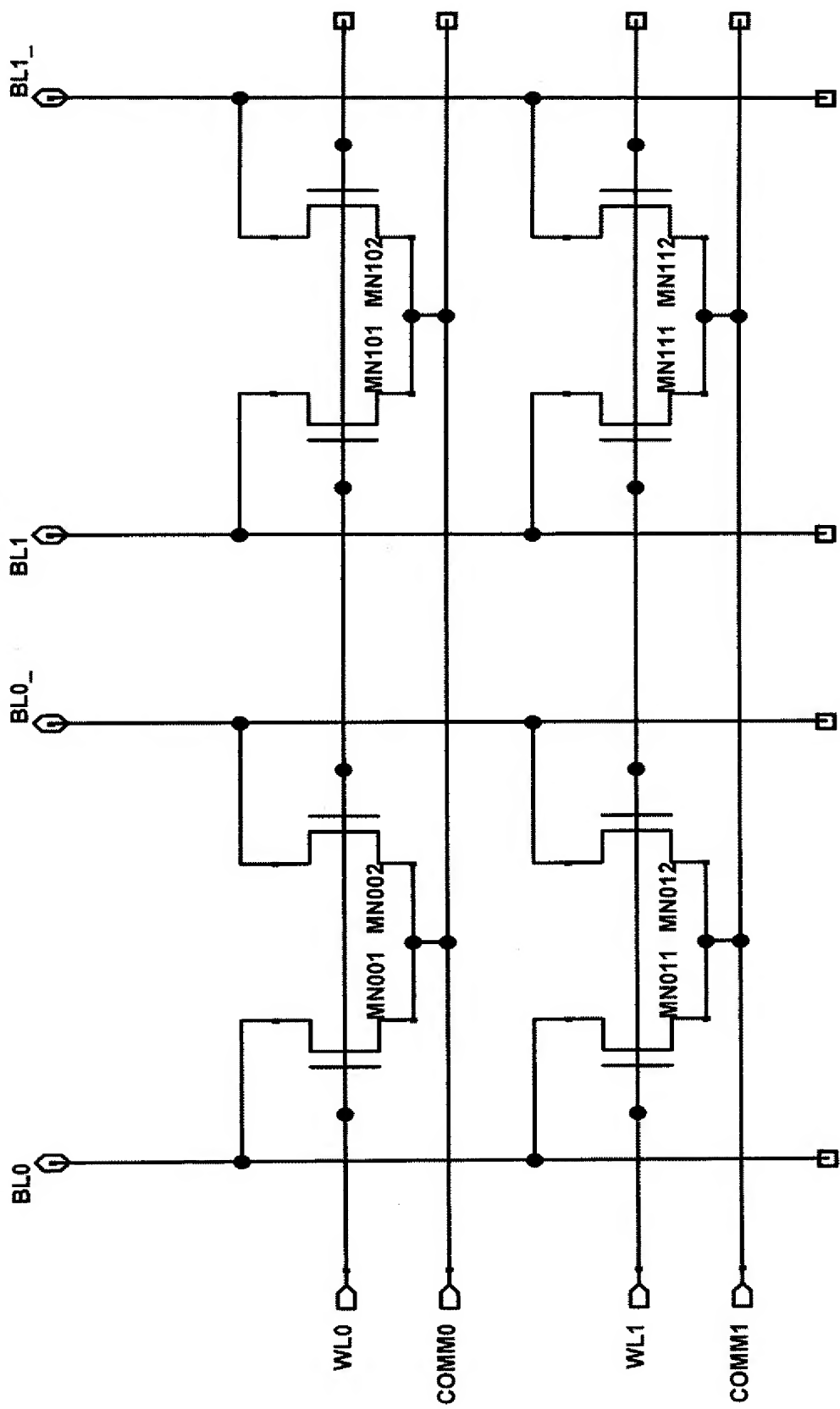


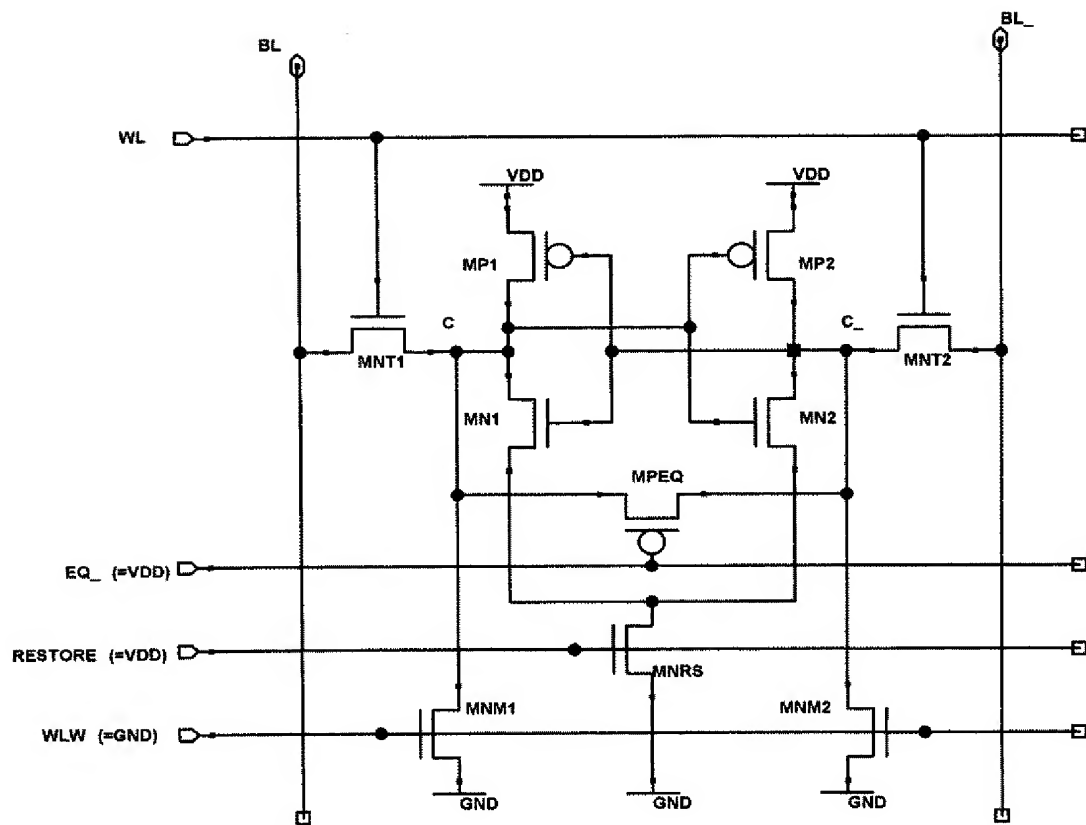
【図 8】











【書類名】 要約書

【要約】

【課題】 C M O S プロセス互換で安定に不揮発記憶機能を有する半導体不揮発記憶回路の提供。

【解決手段】 同様な特性の第 1 , 第 2 F E T を有し、そのソース、ゲートをそれぞれ共通とし、共通ソースを接地し、特定期間第 1 F E T のドレインに電圧を印加し、共通ゲート電圧を電源、接地以外の電圧に制御することで、第 1 F E T の導通状態を制御し、その導通抵抗値の経時劣化を誘起し、これにより生じた、第 1、第 2 F E T の性能差を、2 つの F E T を同時に導通させその電流差で読出すことで、0 の記憶とその読み出しを、逆に、第 2 F E T 側の性能を第 1 F E T よりも劣化させて 1 記憶を行う半導体不揮発記憶回路において、第 1、第 2 F E T のドレインに接続される第 3、第 4 F E T を有し、読み出し及び書き込み動作以外の期間においては、第 3、第 4 F E T を遮断状態に制御し、第 1、第 2 F E T のドレインを開放状態とする。

【選択図】 図 1

出願人履歴

8 0 2 0 0 0 3 1

20020419

新規登録

福岡県北九州市若松区ひびきの2番1号

財団法人北九州産業学術推進機構